b)

DISK CACHE CONTROL SYSTEM

Patent Number: JP5189314
Publication date: 1993-07-30

Inventor(s): TOURAKU MAMORU; others: 04
Applicant(s): HITACHI LTD

Requested Patent: ☐ JP5189314
Application Number: JP19920001279 19920108
Priority Number(s):
IPC Classification: G06F12/08; G06F3/06; G06F12/08; G11B20/10
EC Classification:
Equivalents:

Abstract

PURPOSE:To prevent the deterioration of a system through put by storing data in one of disk caches at the time of transmitting the data stored in a storage device to a channel.
CONSTITUTION:The disk cache is divided into a cache 1-329 and a cache 2-33O, and at the time of reading the data from a magnetic disk device(DKU) 334, the data are stored in one cache 2-330. Thus, even at the time of the occurrence of a fault at the cache 1-329 the reading of the data can be executed from the cache 2-330 afterwards. And also, at the time of the occurrence of the fault at the cache 2-330, the data are reduced from the cache, the next reading is executed from the DKU 334, and the read data are transmitted to a channel device(CHA) 302 and the existing cache 1-329, and stored. At that time, almost the half(average value) of the entire data are stored in one of the caches 329 and 330, and the data transfer between the CHA and the cache can be attained.

[DETAILED DESCRIPTION OF THE INVENTION]

[0001]

[Industrial Application Field] The present invention relates to, in a disk control system equipped with a disk cache memory, an arrangement of a disk cache and a method of storing data through the use of a plurality of disk caches.

[0002]

[Description of Related Art] The following technique has been known as a conventional technique. FIG. 2 is an illustration of an example of an arrangement of a conventional system.

[0003] The system is made up of a central processing unit 101, channel devices (each of which hereinafter will be referred to shortly as a "CHA") 102 to 109, a disk control unit (which hereinafter will be referred to shortly as a "DKC") 110, and a magnetic disk device (which hereinafter will be referred to shortly as a "DKU") 131.

[0004] In the DKC 110, microprocessors 1 (which hereinafter will be referred to shortly as "MP1") 112 to 119 are connected which conduct the processing on channel switches 111, 120 and the CHAs 102 to 109, and microprocessors 2 (which hereinafter will be referred to shortly as "MP2") for controlling the DKU 131, a disk cache (which hereinafter will be referred to shortly as a "cache") 129 a battery-backup non-volatile memory (which hereinafter will be referred to shortly as an "NVS") 128

are connected to the MP1. In the illustration, dotted lines 121 to 123 denote a power supply region.

[0005] The NVS 128 is for storing data at the occurrence of a writing instruction (which hereinafter will be referred to shortly as "WR processing") from a host device. The MP2 (124 to 127) writes the data of the NVS 128 in the DKU 131 at the occurrence of a trouble of the cache 129 or after the re-start of the system.

[0006] The data flow in this system is as follows.

[0007] Let it be assumed that a processing request from the central processing unit 101 is implemented via the CHA 102 and the channel switch 111 with respect to the MP1 (112).

[0008] At the occurrence of a readout instruction (which hereinafter will be referred to shortly as "RD processing") from the host device, the MP 1 (112) makes a decision as to whether or not the target data exists in the cache 129. If the data does not exist in the cache 129, the RD processing is conducted with respect to the DKU 131 and this data is simultaneously transferred to the CHA 102 and the cache 129.

[0009] In a case in which this data exists in the cache 129, the RD processing is not conducted with respect to the DKU 131, but the data in the cache 129 is transferred to the CHA 102. If the data exists in the cache 129, the time for positioning of the DKU 131 and the like become unnecessary, and because of no dependence on the performance of the DKU 131, the transfer speed becomes high, thus achieving the speed increase.

[0010] A concrete example is shown in FIG. 3. FIG. 3 is an illustration of a track format of the DKU 131. Index markers 201 and 202 exist on a track, and represent a start point and an end point, respectively. On the track, data are stored in the form of data A to D 203 to 206. In a case in which the data A 203 is read out through the RD processing (naturally, the RD processing has not been conducted previously with respect to this track), although the data A 203 is transferred to the CHA 102 and the cache 129 and the MP 1 (112) then informs the CHA 102 of the completion, the data B to D 204 to 206 (all the data before the index marker 202) after this data are sent to the cache 129 to be stored in the cache 129. This is a function to successively store data in the cache in range from the processed track to several tracks ahead so that the target data always exists in the cache at the RD processing on the subsequent tracks. Accordingly, in the RD processing on the data subsequent to the data A 203 after this operation, the data in the cache 129 is transferred to the CHA 102, thus improving the system throughput.

[0011] There are a method in which the data is directly written in the DKU 131 at the RD processing and a method in which the data is written in the cache 129 and the completion is notified to the CHA 102 at this time and, following this, the data is written in the DKU 131 in an asynchronous relation to the host device. In the case of the latter method, since the DKU 131 dose not undergo the processing during the connection with the CHA 102, the time for the positioning and the like becomes unnecessary, thereby shortening the response time to the

host device accordingly. However, usually, the cache 129 is not backed up by the battery and, if a trouble occurs in the cache 129, the data written can disappear. The NVS 128 is provided in order to prevent this. The writing data from the host device is stored in the cache 129 and further in the NVS 128, thereby keeping the data even if a trouble occurs in the cache 129 or even at the power-off. At the power-on after the power supply disconnection, the data in the NVS 128 can be transferred to the DKU 131.

[0012] In the case of a system which conducts the WR processing frequently, it is considered that the NVS 128 falls into a full condition. At this time, it stands ready to the RD processing from the host device and waits until a free area appears in the NVS 128, and then resumes the operation. Therefore, the system performance lowers after the NVS 128 falls into a full state.

[0013] In a case in which a trouble occurs in the cache 129, under an environment of 24-hours operation, the cache 129 is closed and an object such as package exchange is conducted. The cache 129 cannot be used during this time, and all the processing from the CHA 102 are conducted directly with respect to the DKU 131. This lowers the processing speed. Moreover, also restoration of the cache 129, the performance extremely degrades until the data is accumulated in the cache 129.

[0014] The technique disclosed in Japanese Patent Laid-Open No. HEI 2-90313 is such that a selection standard for a storage path in a disk control unit is prepared and a storage path which is in an non-used condition (the processing is not conducted yet) is used preferentially

to increase the using frequency of a disk cache for realizing the processing speed increase. In the arrangement disclosed in this well-known example, in a case in which a trouble occurs in the disk cache, the fast data transfer using the disk cache becomes completely impossible.

[0015]

[Problems to be Resolved by the Invention] In the case of the above-mentioned conventional techniques, after the non-volatile memory and NVS, backed up by a battery, reach the full condition, the system performance degrades.

[0016] Moreover, during a time period from when a trouble occurs in the disk cache until the exchange and restoration of the cache memory which is in trouble, the effects of the disk cache disappear and the system throughput lowers extremely. In addition, also after the power-on is again made, since the accumulation of the data in the disk cache is made from the beginning, the system throughput drops during this time.

[0017] Therefore, the present invention has been developed in order to remove these problems, and the present invention provides, in a storage system including a disk cache mounted disk control unit, a disk cache control method suitable for preventing the drop of the system throughput.

[0018]

[Means for Resolving the Problems] A plurality of disk caches, divided, are provided in a disk cache mounted disk control unit. The data transfer paths for the plurality of disk caches are placed independently. Moreover, each

of the disk caches is battery-backed up, and independent power supply lines are placed with respect to these disk caches.

[0019] The readout data from a storage unit is stored in an arbitrary one of the disk caches and writing data in the storage unit is likewise stored in arbitrary two of the disk caches for duplexing.

b)

(19)日本国特許庁（ＪＰ）　(12)公開特許公報（A）　(11)特許出願公開番号

特開平5－189314

(43)公開日　平成５年(1993)７月30日

(51)Int.Cl.[5]		識別記号	庁内整理番号	ＦＩ	技術表示箇所
Ｇ０６Ｆ	12/08	３２０	7232－5B		
	3/06	３０４　Ｅ	7165－5B		
	12/08	Ｊ	7232－5B		
Ｇ１１Ｂ	20/10	Ｄ	7923－5D		

審査請求　未請求　請求項の数１(全　６　頁)

(21)出願番号　特願平4－1279

(22)出願日　平成４年(1992)１月８日

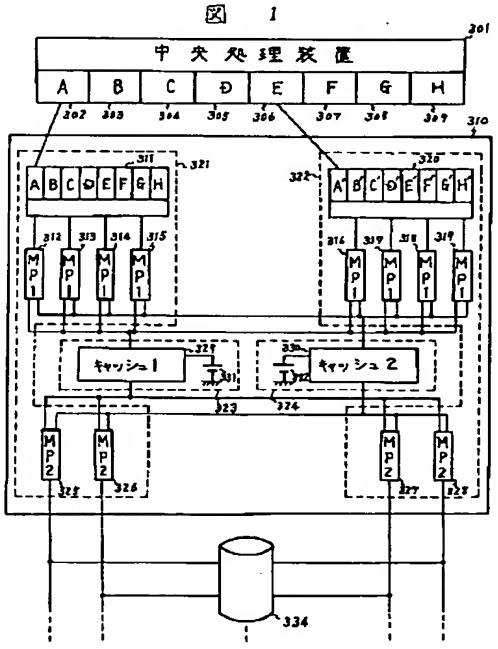
(71)出願人　000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目６番地
(72)発明者　東落　守
神奈川県小田原市国府津2880番地株式会社日立製作所小田原工場内
(72)発明者　倉野　昭
神奈川県小田原市国府津2880番地株式会社日立製作所小田原工場内
(72)発明者　竹内　久治
神奈川県小田原市国府津2880番地株式会社日立製作所小田原工場内
(74)代理人　弁理士　小川　勝男

最終頁に続く

(54)【発明の名称】　ディスクキャッシュ制御方式

(57)【要約】
【目的】ディスクキャッシュを搭載したディスク制御装置を含む記憶システム内において、システムスループットの低下を防ぐ。
【構成】ディスク制御装置内に、バッテリーバックアップされたディスクキャッシュを複数設ける。磁気ディスク装置からの読み出しデータは、ディスクキャッシュの任意の一方に記憶させ、チャネルからの書き込みデータは、２つのディスクキャッシュに記憶させる。
【効果】ディスクキャッシュの機能を損なうことなく、継続して使用することができる。

図　1



1

【特許請求の範囲】

【請求項１】上位装置とデータの入出力を行うチャネルと、データを記録再生する記憶装置と、前記チャネルと前記記憶装置の間に設けられ前記記憶装置を制御する制御装置を含む計算機システムにおいて、

前記制御装置内に複数のディスクキャッシュを設け、

前記チャネルから送られたデータを前記記憶装置に書き込むときは、複数のディスクキャッシュにデータを二重に格納し、

前記記憶装置に記憶されたデータを前記チャネルに送るときは、前記ディスクキャッシュの１つにデータを格納することを特徴とするディスクキャッシュ制御方式。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】本発明はディスクキャッシュメモリを備えるディスク制御装置における、ディスクキャッシュの構成、及び複数のディスクキャッシュを用いたデータの記憶方式に関する。

【０００２】

【従来の技術】従来技術として次に示す技術がある。図２は例としてあげる従来システムの構成図である。

【０００３】システムは中央処理装置１０１、チャネル装置（以下「ＣＨＡ」と略称する。）１０２～１０９、ディスク制御装置（以下「ＤＫＣ」と略称する。）１１０、及び磁気ディスク装置（以下「ＤＫＵ」と略称する。）１３１より構成される。

【０００４】ＤＫＣ１１０は、チャネルスイッチ１１１、１２０とＣＨＡ１０２～１０９との処理を行うマイクロプロセッサ１（以下「ＭＰ１」と略称する。）１１２～１１９が接続されていて、ＤＫＵ１３１の制御を行うマイクロプロセッサ２（以下「ＭＰ２」と略称する。）とディスクキャッシュ（以下「キャッシュ」と略称する。）１２９と、バッテリーバックアップされて不揮発なメモリ（以下「ＮＶＳ」と略称する。）１２８がＭＰ１と接続され構成される。図中点線１２１～１２３は電源領域を表す。

【０００５】ＮＶＳ１２８は上位装置からの書き込み命令（以後「ＷＲ処理」と略称する。）時のデータを記憶するものである。ＭＰ２（１２４～１２７）はキャシュ１２９障害時、又はシステム再始動後、ＮＶＳ１２８のデータをＤＫＵ１３１に書き込む。

【０００６】本システムのデータの流れは以下のとおりである。

【０００７】中央処理装置１０１からの処理要求は、ＣＨＡ１０２、チャネルスイッチ１１１を経由してＭＰ１（１１２）に対し行なわれるとする。

【０００８】上位装置からの読み出し命令時（以後「ＲＤ処理」と略称する。）には、ＭＰ１（１１２）はキャッシュ１２９内に目的のデータが存在するか否か判定する。キャッシュ１２９内にデータが存在しない場合、ＤＫＵ１３１へ対しＲＤ処理を行い、当該データをＣＨＡ１０２とキャッシュ１２９へ同時に転送する。

2

【０００９】当該データがキャッシュ１２９内に存在する場合、ＤＫＵ１３１へのＲＤ処理は行なわず、キャッシュ１２９内のデータをＣＨＡ１０２へ転送する。キャッシュ１２９内にデータが存在すれば、ＤＫＵ１３１の位置決め時間等が不要となり、又ＤＫＵ１３１の性能に依存しないため転送速度も高速となり、処理の高速化が図れる。

【００１０】具体例を図３を用いて示す。図３はＤＫＵ１３１のトラックフォーマットである。トラック上にはインデックスマーカ２０１、２０２があり、トラックの始点、終点を表す。トラック上にデータはデータＡ～Ｄ２０３～２０６という形で記憶されている。ＲＤ処理によりデータＡ２０３を読み出す場合（当然、以前に当該トラックへのＲＤ処理を行っていない。）データＡ２０３をＣＨＡ１０２、キャッシュ１２９へ転送し、その後ＭＰ１（１１２）はＣＨＡ１０２に対し終了報告を行うが、キャッシュ１２９には当該データ以降のデータＢ～Ｄ２０４～２０６（インデックスマーカ２０２迄のデータ全て）を送り、キャッシュ１２９内に記憶させる。これは、処理を行ったトラックから数トラック先まで連続してキャッシュ内にデータを記憶させ、以降のトラックのＲＤ処理時、目的データが常にキャッシュ内に存在する様にする機能である。これにより、本動作以降のデータＡ２０３以降のデータのＲＤ処理では、キャッシュ１２９内のデータをＣＨＡ１０２に転送することとなりシステムスループットを向上させることができる。

【００１１】ＷＲ処理時、直接ＤＫＵ１３１にデータを書き込む方法と、キャッシュ１２９内にデータを書き込み、この時点でＣＨＡ１０２に終了報告を行いその後上位装置とは非同期にＤＫＵ１３１へデータを書き込む方法がある。後者の方が、ＣＨＡ１０２との接続中にＤＫＵ１３１を処理しない為、位置付け等の時間が不要な分、上位装置に対する応答時間を短縮することができる。しかし、通常キャッシュ１２９はバッテリーバックアップされておらず、キャッシュ１２９に障害が発生すると書き込んだデータが消滅してしまう。これを防止する為にＮＶＳ１２８を用意している。上位装置からの書き込みデータをキャッシュ１２９と共にＮＶＳ１２８に記憶させる。これによりキャッシュ１２９に障害が発生しても、又電源ＯＦＦとなってもデータは保障される。電源断後の電源投入後にＮＶＳ１２８内のデータをＤＫＵ１３１に反映させることができる。

【００１２】ＷＲ処理の多いシステムではＮＶＳ１２８が満杯となる場合も予想される。この時、上位装置からのＷＲ処理を一時待機させ、ＮＶＳ１２８に空きエリアができるまで待ち、その後再開させる。この為、ＮＶＳ１２８が満杯となった後はシステムの性能が低下する。

【００１３】キャッシュ１２９に障害が発生した場合、

3

２４時間運転の環境ではキャッシュ１２９を閉塞し、パッケージ交換等の対象を行う。この間キャッシュ１２９は使用できず、ＣＨＡ１０２からの処理は全てＤＫＵ１３１に対して直接行うこととなる。これでは処理速度が低下する。又、キャッシュ１２９が回復した後もキャッシュ１２９内にデータが蓄積されるまでの間、性能が著しく低下する。

【００１４】特開平２－９０３１３号に記載の技術では、ディスク制御装置内のストレージパスの選択基準を設け、未使用状態の（処理を実行していない）ストレージパスを優先して使用することにより、ディスクキャッシュの使用頻度を上げ、処理の高速化を実現している。本公知例の構成では、ディスクキャッシュに障害が発生した場合、ディスクキャッシュを用いた高速データ転送が完全に不可能となる。

【００１５】

【発明が解決しようとする課題】前記従来技術では、バッテリーバックアップされて不揮発なメモリ、ＮＶＳが満杯となった後はシステムの性能が低下する。

【００１６】また、ディスクキャッシュに障害が発生してから障害キャッシュメモリの交換回復までの間、ディスクキャッシュの効果が失なわれシステムスループットが著しく低下する。そして電源再投入後も、ディスクキャッシュへのデータの蓄積を最初から行う為、この間もシステムスループットが低下する。

【００１７】そこで本発明はこれらの問題を解決するためになされたもので、ディスクキャッシュを搭載したディスク制御装置を含む記憶システム内において、システムスループットの低下を防ぐために好適なディスクキャッシュの制御方式を提供するものである。

【００１８】

【課題を解決するための手段】ディスクキャッシュを搭載したディスク制御装置内に複数に分割したディスクキャッシュを設ける。この複数のディスクキャッシュに対するデータ転送用のパスも独立とする。また、それぞれのディスクキャッシュをバッテリーバックアップし、これらに対し独立した電源ラインを置く。

【００１９】記憶装置からの読み出しデータは、複数のディスクキャッシュの任意の１つに記憶させ、記憶装置への書き込みデータは同様に任意の２つのディスクキャッシュに記憶させ２重化する。

【００２０】

【作用】バッテリーバックアップにより不慮の電源ＯＦＦ後も直前のディスクキャッシュ状態が保持され、電源再投入直後からディスクキャッシュを用いた処理が可能となる。又、書き込みデータはディスクキャッシュ内に保持されている為、電源投入後、記憶装置に反映させることができる。

【００２１】この様にディスクキャッシュを実質的に複数に、独立的に分割することにより、ディスクキャッシュの１つに障害が発生してもディスクキャッシュ効果を失うことなく保守を行うことが可能となる。又、書き込みデータは２重化する為、消滅することはない。

4

【００２２】

【実施例】以下、本発明の一実施例を図を用いて説明する。

【００２３】図１は本発明における実施例のシステム構成図である。本実施例ではディスクキャッシュを２分割とする。（キャッシュ１（３２９）、キャッシュ２（３３０））ＭＰ１（３１２～３１９）、ＭＰ２（３２５～３２８）とキャッシュ１（３２９）、キャッシュ２（３３０）間はキャッシュ単位にパスを設ける。又、キャッシュ１（３２９）、キャッシュ２（３３０）にバッテリー３３１、３３２を設けバッテリーバックアップとしている。電源領域３２１～３２４単位に電源を供給する。

【００２４】処理は従来技術と同様に中央処理装置３０１、ＣＨＡ３０２、チャネルスイッチ３１１、ＭＰ１（３１２）により処理を行う。ＤＫＵ３３４の制御はＭＰ２（３２５）で行う。

【００２５】上位装置からのＲＤ命令時、ＭＰ１（３１２）はキャッシュ（３２９、３３０）内に目的データが存在するか否か確認する。事前に当該データ（トラック）が読み込み（又はＷＲ処理）済みでキャッシュ内（ここではキャッシュ２（３３０）とする。）にデータが存在すれば、キャッシュ２（３３０）よりＣＨＡ３０２へデータ転送を行う。キャッシュ１（３２９）、キャッシュ２（３３０）内に目的データが存在しない場合、ＤＫＵ３３４よりデータを読み出しＣＨＡ３０２へ転送する。ＤＫＵ３３４よりデータを読み出す時、従来の装置と同様にキャッシュにデータを記憶させるが、この時、一方のキャッシュにのみデータを記憶させる。これはＭＰ２（３２５）で選択する。本例ではキャッシュ２（３３０）にデータを記憶したとする。

【００２６】もし、キャッシュ１（３２９）に障害が発生してもデータはキャッシュ２（３３０）に記憶されている為、以降当該データの読み出しはキャッシュ２（３３０）より行うことができる。

【００２７】キャッシュ２（３３０）に障害が発生した場合、当該データはキャッシュより消滅してしまう為、次回の読み出しはＤＫＵ３３４より行う。読み出したデータはＣＨＡ３０２と生存しているキャッシュ１（３２９）に送られ記憶される。

【００２８】２分割されたキャッシュ（３２９、３３０）の一方には、キャッシュに格納すべきデータ全体の約１／２（平均値）が格納されており、一方のキャッシュで障害が発生しても他方のキャッシュで記憶されているデータの処理は、ＣＨとキャッシュとのデータ転送が可能であり処理速度は低下しない。よって一方のキャッシュに障害が発生してもキャッシュ効果はゼロとならない。（約１／２となる。）障害以降の処理（データの記

5

億等）は、全て生存しているキャッシュを用いて行う。

【００２９】ＷＲ処理時、転送データを２つのキャッシュ（３２９、３３０）に記憶させ、ＭＰ１（３１２）はＣＨＡ３０２へ終了報告を行う。ＤＫＵ３３４へは、その後ＭＰ２（３２５）が上位装置とは非同期にデータの書き込みを行う。２つのキャッシュ（３２９、３３０）にデータを記憶させデータの２重化をさせている為、一方のキャッシュに障害が発生しても書き込みデータが失なわれることはない。

【００３０】キャッシュ１（３２９）、キャッシュ２（３３０）にバッテリー３３１、３３２を用けバッテリーバックアップとすることにより、システムを停止（電源ＯＦＦ）させ、再度立ち上げた後でも停止直前のキャッシュ内のデータが保持される。よってシステム立ち上げ直後からキャッシュからの読み出しが可能となり、従来は必要であったＤＫＵからの読み出しを必要とせずシステムスループットの向上を図ることができる。又、書き込みデータもキャッシュ内に保持される為、システム立ち上げ後ＤＫＵにデータを書き込むことができる。不慮の電源ＯＦＦ後のシステム立ち上げ時も同様に、電源ＯＦＦ直前のキャッシュ状態が保持されている為、直ちにキャッシュを用いた高速処理を行うことが可能となる。ＤＫＵへの反映が終了していない書き込みデータが存在してもキャッシュ内に保持されている為、電源ＯＮ後ＤＫＵへ書き込むことができる。

【００３１】本実施例によれば、一つのキャッシュに障害が発生してもキャッシュ性能をゼロとすることなく処理が続行でき、又電源のＯＦＦ、ＯＮ直後からキャッシュ内に保持されたデータを用いて、キャッシュ性能を完全に引き出した処理を行うことができる。

【００３２】また本実施例では、ディスクキャッシュを２分割としているが、３分割以上にしてもよく、Ｎ分割とすることにより、障害時の性能低下を１／Ｎとすることができる。

【００３３】さらに本実施例では、ディスクキャッシュ全体を不揮発としているが、１部だけでもよい。従来装置同様に、ＷＲデータのみを不揮発とする場合、通常、ディスク装置の運用状態が読み出し、書き込み比１／４

6

という現状を吟味すると、全体の１／５を不揮発とすることにより、データは保障される。

【００３４】本実施例を適用することにより、ディスクキャッシュを搭載したディスク制御装置内の１つのディスクキャッシュで障害が発生しても、生存している他のディスクキャッシュにより大幅に性能を低下させることなく処理を続行できる。又、障害ディスクキャッシュの回復を行うことができ、従来技術と比べシステム性能を向上させることができる。システム停止、又は不慮の電源ＯＦＦ後のシステム再立ち上げ直後から、ディスクキャッシュ内に残った電源ＯＦＦ直前のデータを用いて、高速データ転送を行うことができる。尚、２４時間運転システムへの適用は効果的である。

【００３５】

【発明の効果】本発明におけるディスクキャッシュを搭載したディスク制御装置を含む記憶システム内において、ディスクキャッシュの機能を損なうことなく、継続して使用することができる。

【図面の簡単な説明】

【図１】実施例におけるシステム構成図

【図２】従来例のシステム構成図

【図３】従来例のシステム中に適用された、簡単化したトラックフォーマット

【符号の説明】

１０１、３０１…中央処理装置

１０２～１０９、３０２～３０９…チャネル

１１０、３１０…ディスク制御装置

１１１、１２０、３１１、３２０…チャネルスイッチ

１２８…バッテリーバックアップされて不揮発なメモリ（ＮＶＳ）

１１２～１１９、１２４～１２７、３１２～３１９、３２５～３２８…マイクロプロセッサ

１２９、３２９、３３０…ディスクキャッシュ

３３１、３３２…バッテリー

１３１、３３４…磁気ディスク装置

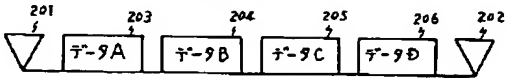
２０１、２０２…インデックスマーカ

２０３～２０６…トラック上のデータ

１２１～１２３、３２１～３２４…電源領域

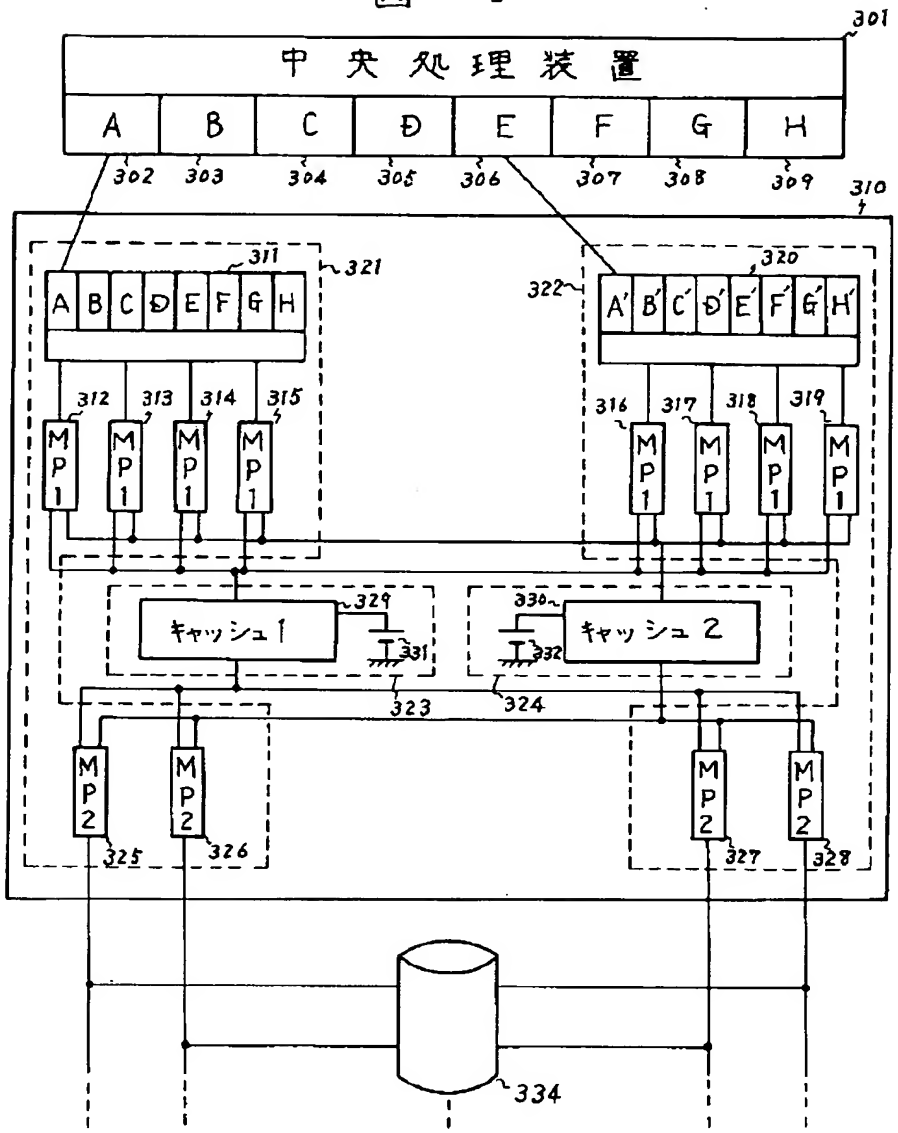
【図３】

図　３



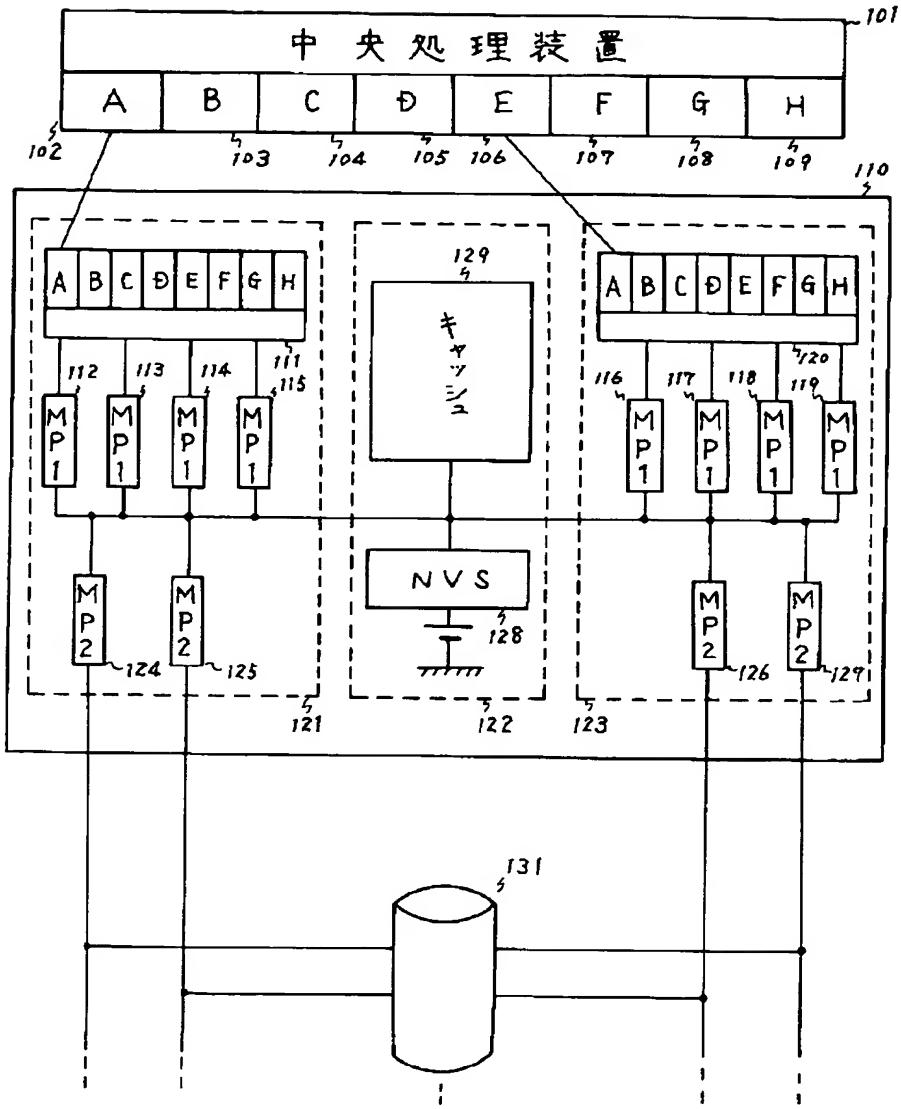
【図1】

図　1


301
中央処理装置
A
B
C
D
E
F
G
H
302
303
304
305
306
307
308
309
310
311
321
320
322
A
B
C
D
E
F
G
H
A'
B'
C'
D'
E'
F'
G'
H'
312
313
314
315
316
317
318
319
MP1
329
キャッシュ1
331
330
キャッシュ2
332
323
324
MP2
325
326
327
328
334

【図２】

図　2



フロントページの続き

(72)発明者　高松　久司
神奈川県小田原市国府津2880番地株式会社
日立製作所小田原工場内

(72)発明者　川口　幾雄
神奈川県小田原市国府津2880番地株式会社
日立製作所小田原工場内